

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) SOLID-STATE IMAGE PICKUP DEVICE AND MANUFACTURE THEREOF

(11) 61-136263 (A)- (43) 24.6.1986 (19) JP

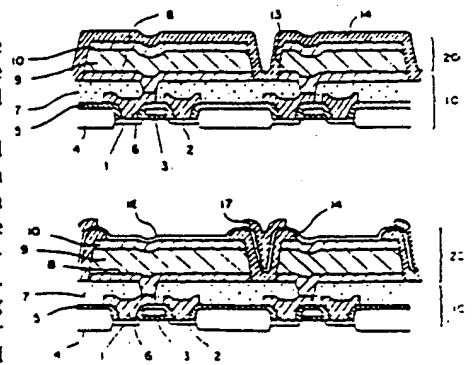
(21) Appl. No. 59-257687 (22) 7.12.1984

(71) FUJII PHOTO FILM CO LTD (72) AKIO AZUMA(3)

(51) Int. Cl. H01L27/14, H04N5/30

PURPOSE: To prevent short circuits in a photoconductive layer attributable to erosion during an etching process accomplished to divide the photoconductive layer into picture elements by a method wherein the resistivity is specified for one of photosensitive layers in contact with a transparent layer.

CONSTITUTION: A scanning circuit substrate 100 is provided with a MOS field effect transistor constituted of a source 1, drain 2, and gate 3. Further, an electrode 6, insulating layer 7, and groundwork electrode 8 are provided. An N type and P⁺ type amorphous silicon films 9 and 10 are arranged for the formation of a photoconductive film section 200. Etching is done for the formation of a groove 13 for division between picture elements. PSG, polyimide, or other is attached to serve as an interlayer insulating film 14. Selective etching is done for the provision of an opening. Then a transparent electrode layer 16 composed for example of ITO is formed, and a metal-made optical shield layer 17 is attached to a region for division into picture elements. The resistivity of the P⁺ type amorphous silicon film 10 is set at a value not higher than $10^{-4} \Omega \text{cm}$ so that the silicon film may not be eroded by etching for providing an opening in the interlayer insulating film 14.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-136263

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)6月24日

H 01 L 27/14
H 04 N 5/30

7525-5F
8420-5C

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 固体撮像素子およびその製造方法

⑮ 特 願 昭59-257687

⑯ 出 願 昭59(1984)12月7日

⑰ 発 明 者 東 昭 男 神奈川県足柄上郡開成町宮台798番地 富士写真フィルム株式会社内
⑱ 発 明 者 川 尻 和 廣 神奈川県足柄上郡開成町宮台798番地 富士写真フィルム株式会社内
⑲ 発 明 者 品 田 春 治 神奈川県足柄上郡開成町宮台798番地 富士写真フィルム株式会社内
⑳ 発 明 者 田 村 宏 神奈川県足柄上郡開成町宮台798番地 富士写真フィルム株式会社内
㉑ 出 願 人 富士写真フィルム株式会社 南足柄市中沼210番地
㉒ 代 理 人 弁理士 永島 孝明

明 細 書

1. 発明の名称

固体撮像素子およびその製造方法

2. 特許請求の範囲

1) 複数の電極の走査回路を設けた半導体基板上に感光層および透明電極層をこの順序で配置し、同じ半導体基板上の複数の電極と同じ透明電極層とにより同じ複数の画素を区画するようにした固体撮像素子において、

前記感光層が画素毎に分断され、前記画素毎に分断された前記感光層に前記透明電極層に形成された感光層の両端を覆って遮断絶縁層を配置し、該遮断絶縁層を覆って透明電極層を配置し、該透明電極層上の画素間領域に光シールド用金属膜を配置したことを特徴とする固体撮像素子。

2) 特許請求の範囲第1項記載の固体撮像素子において、前記感光層は不純化非晶質シリコン層であることを特徴とする固体撮像素子。

3) 特許請求の範囲第1項または第2項記載の固体撮像素子において、前記透明電極層はITO、 SnO_2 、 In_2O_3 、 CdO 、 Cr-Si であることを特徴とする固体撮像素子。

4) 特許請求の範囲第1項ないし第3項のいずれかの項に記載の固体撮像素子において、前記光シールド用金属膜は Al 、 Al-Si 、 Al-Si-Ca 、または Mo 、 V 、 Cr 、 Ta などの金属材料であることを特徴とする固体撮像素子。

5) 特許請求の範囲第2項ないし第4項のいずれかの項に記載の固体撮像素子において、前記感光層のうち、前記透明電極層と接する側の層の抵抗値を $10^7 \Omega \text{cm}$ 以下としたことを特徴とする固体撮像素子。

6) 複数の電極の走査回路を設けた半導体基板上に感光層および透明電極層をこの順序で配置し、同じ半導体基板上の複数の電極と同じ透明電極層とにより同じ複数の画素を区画するようにした固体撮像素子製造するに当たり、

同じ複数の電極を形成するための感光層と前記

半導体基板上面を覆って形成する工程と、

前記電極層の上を覆って前記光導電層を形成する工程と、

前記電極層および前記光導電層を、前記層の両面に形成して分離させるフォトリソグラフィ工程と、

分離された前記光導電層および両面間の分離された領域を覆って層間絶縁層を形成させる工程と、

該層間絶縁層のうち前記層の両面に形成して開口を形成するフォトリソグラフィ工程と、

前記開口のあいだ層間絶縁層および当該開口により露出する前記光導電層を覆って透明電極層を形成する工程と、

該透明電極層のうち前記両面領域に形成する部分の上に光シールド用の保護層を形成する工程とを具備することを特徴とする固体電変素子の製造方法。

下したり、トラップ密度の増加に伴う電圧の増大などの欠点があった。

そこで、光導電層を両面に分離して配置することが考えられるが、その場合に、分離し、あるいは層間絶縁層に開口をあけるためのエッチングが同時に光導電層が不所望に侵食されて損傷してしまうおそれがある。さらにまた、分離した光導電層の厚さが $0.5 \sim 5 \mu\text{m}$ と薄いので、これによる接点部分において、透明電極層は接点引れを生じやすい。

発明の目的

そこで、本発明の目的は、上述した解像度の劣化や接点の発生という欠点を排除するために、非晶質シリコン膜を両面に分離させると共に、その間に光導電層の分離処理を並列に行うことができ、かつ接点引れなどの欠点が発生しないように並列に構成した固体電変素子を提供することにある。

本発明の他の目的は、上述した解像度の劣化や接点の発生という欠点を排除するために、非晶質

1. 発明の詳細な説明

発明の技術分野

本発明は、半導体基板上に走査回路および光導電層を積層化した固体電変素子、特に複数の面々の走査回路を設けた半導体基板上に光導電層および透明電極層をこの順序で配置し、前記半導体基板上の複数の電極と前記透明電極層とにより前記複数の面々を区画するようにした固体電変素子およびその製造方法に関するものである。

従来の技術とその問題点

この異種層型の固体電変素子においては、光感度を高めるために、光導電層をMOS型、CCD型あるいは380型の走査回路基板上に積層させている。ここで、積層される光導電層を連続して平面状に配置することが考えられるが、その場合に、光導電層として非晶質シリコンを利用した固体電変素子においては、十数万回の成膜が通常の材料に比べて若干倍いたため、解像度が大きく劣化し、これも大きい。この欠点を排除すべく非晶質シリコン膜を高抵抗化した場合、キャリア移動度が低

シリコン膜を両面に分離させると共に、その間に光導電層の分離処理を並列に施し、かつ接点引れなどの欠点が発生しないように並列に処理工程を並列に、しかも工程の簡略化を図った固体電変素子の製造方法を提供することにある。

発明の構成

かかる目的を達成するために、本発明固体電変素子では、複数の面々の走査回路を設けた半導体基板上に光導電層および透明電極層をこの順序で配置し、半導体基板上の複数の電極と透明電極層とにより複数の面々を区画するようにした固体電変素子において、光導電層が両面に分離され、両面間の分離部分および両面に分離された光導電層の両端を覆って層間絶縁層を配置し、その層間絶縁層を覆って透明電極層を配置し、その透明電極層はこの両面領域に光シールド用保護層を配置したことを特徴とする。

本発明製造方法は、複数の面々の走査回路を設けた半導体基板上に光導電層および透明電極層をこの順序で配置し、半導体基板この複数の電極と

透明電極層とにより電荷の出入を迅速するようにした固体電界素子を実現するにあたり、電荷の電極を構成するための電極層を半導体基板2を覆って形成する工程と、電極層の上を覆って充塞電極を形成する工程と、電極層および充塞電極を、電荷の出入に対応して分離させるフォトリソグラフィ工程と、それにより分離された充塞電極および電極間の分離された領域を覆って絶縁絶縁層を形成させる工程と、絶縁絶縁層のうち電荷の出入に対応して開口を形成するフォトリソグラフィ工程と、開口のあいた絶縁絶縁層およびその開口により露出する充塞電極を覆って透明電極層を形成する工程と、この透明電極層のうち電極間領域に対応する部分の上に充塞用層の形成を形成する工程とを具備することを特徴とする。

発明の実施例

以下に、図面を参照して、本発明を詳細に説明する。

第1図(A)～(D)は本発明固体電界素子の製造方法の順次の工程の一列を示し、ここで、100は

絶縁層200を、半導体基板8の上に形成する。すなわち、半導体基板8の上にまずノンドープのまたはp型半導体シリコン層またはホロンを添加した高抵抗のi形の半導体シリコン層9を配置し、このi層(1層)半導体シリコン層9の上に半導体絶縁層によるp型半導体シリコン層10を配置する。

つぎに、第1図(A)に点線で示すように、p型半導体シリコン層10上に電極領域に対応してレジストパターン12を形成してからエッチングを行い、第1図(B)に示すように、電極間の分離層13を形成し、それによって充塞電極部分200に対して電極間の分離を行う。

さらに、第1図(C)に示すように、層13に、絶縁層の絶縁絶縁層14としてプラズマSi₃N₄、SiO₂、PSGなどの有機物やポリイミドなどの有機物をプラズマCVD法などによって形成させる。

次に、この絶縁絶縁層14を、第1図(D)に示すように、電極領域に対応して選択的にエッチング処理して、コンタクト開口15を形成する。

走査回路基板、200は充塞電極部分を示す。走査回路基板100は公知のいかなる形態であってもよく、例えば、MOS型素子、CCDあるいはSRAMで構成できる。以下では、その一例として、MOS型素子により走査回路基板100を構成して示す。

すなわち、走査回路基板100は、ソース1、ドレイン2およびゲート3から成るMOS電界効果トランジスタを有し、各MOS電界効果トランジスタ間をSiO₂絶縁層4で分離する。ゲート3はPSG(リンシリケートガラス)あるいはSiO₂による絶縁層5に埋め込まれている。6はソース1に形成された電極であり、この電極6をPSG、SiO₂、Si₃N₄あるいはポリイミド等の有機物による絶縁層7により覆って、その上に、ソース1に形成され、形成する工程を経てから1層を区画する電極層8を一様に配置する。電極層8としては、Al-Si、Al-Si-CuまたはAgなどの遷移金属を用いることができる。

本発明では、第1図(A)に示すように、充塞電

ここで、p型半導体シリコン層10のシート抵抗を小さく、例えばその抵抗値が $\rho \leq 10^{-1} \Omega \text{cm}$ 、好ましくは $\rho \leq 10^{-2} \Omega \text{cm}$ に定めて、ドレイニャング処理を適切に行うことにより、p型半導体シリコン層10が侵食されないようにする。なお、走査回路基板100上にMOS回路を形成するときには $\rho \leq 10^{-2} \Omega \text{cm}$ とし、CCD回路を形成するときには $\rho \leq 10^{-1} \Omega \text{cm}$ とすればよい。

さらに、第1図(D)に示すように、透明電極層11およびこのような開口15の形成された絶縁絶縁層14を覆って全面に透明電極層16を厚さ500～3000Å程度に形成する。この透明電極層16はITO、SnO₂、In₂O₃、CuO、Cr-Siなどの材料で形成できる。その透明電極層16のうち、電極間分離領域には半導体による充塞用層17を形成する。充塞用層17を形成する公知としては、Al、Al-Si、Al-Si-CuまたはAg、V、Cr、Feなどの遷移金属を用いることができる。

なお、この例では、充塞電極部分には、表面側からp型半導体シリコン層10-a層(1層)半導体シ

シリコン膜9が配設された基板としており、下地電極8とロウ（13）非晶質シリコン膜9との間に於ては非晶質シリコン膜を配設した構造としている。

発明の効果

以上より明らかなように、本発明によれば、両電極が完全に分離されているので、電極間の劣化および低電圧の発生を完全に防止できる。また電極を形成する際に非晶質シリコン膜の厚さを10 μ m以下などのように低い値に用いることにより、製造設備に開口を形成する際のプラズマエッチバックなどのドライエッチバックを行う必要がなくなり、非晶質シリコン膜は、特にそのエッチバックに対する保護層を設けなくとも処理を可能とする。保護層を設ける場合は上記上層を施す必要がない利点もある。

さらに加えて、本発明により形成された固体電解質は、十数万回の使用が過くても移動度が大きく、かつトラップ密度の小さい薄膜状を用いるので、固体電解質の劣化が防止でき、かつ、電

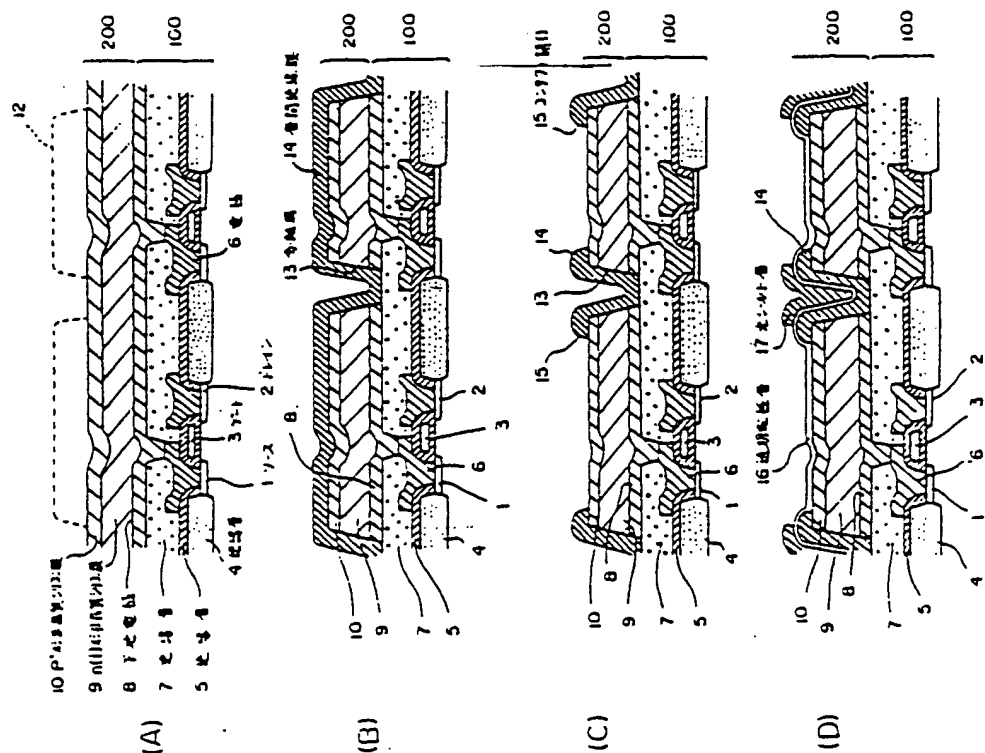
流の少ない特性を有することができる。さらにまた、光シールド層を形成層で形成するので、分離後に透明電極層を形成するに当たり、たとえばこの透明電極層が分離層の裏面に入りこまなくとも、この分離層が電圧を供給することができ、したがって、透明電極層の劣化切れなどが生じても、その劣化を受けない。

図面の簡単な説明

第1図(A)～(D)は本発明における一連の製造工程を示す断面図である。

100…基板回路基板、1…ソース、2…ドレイン、3…ゲート、4…絶縁層、5…絶縁層、6…電極、7…絶縁層、8…下地電極、200…光電極層部分、9…ロ（1）非晶質シリコン膜、10…ロ（2）非晶質シリコン膜、12…レジストパターン、13…分離層、14…絶縁層、15…コンタクト開口、16…透明電極層、17…光シールド層。

第1図



特開昭61-136263(5)

手続補正書

昭和60年1月8日

特許庁長官 志 賀 孝 政

1. 事件の表示

特願出59-257687号

2. 発明の名称

固体温度素子およびその製造方法

3. 補正をする者

事件との関係 特許出願人

富士写真フイルム株式会社

4. 代理人

住 所 千105

東京都港区虎ノ門2丁目3番22号
秋山ビル9F 電話(03)508-9388

氏 名 (9067)井澤七 永 昌 本 明

5. 補正命令の日付 目 免

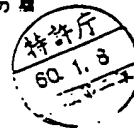
6. 補正の対象

明細書の「2.特許請求の範囲」の欄

および「3.発明の詳細な説明」の欄

7. 補正の内容

明細書の通り



方式
第1条



特許請求の範囲

- 1) 複数の電極の走査回路を設けた半導体基板上に絶縁層および透明電極層をこの順序で配設し、前記半導体基板上の複数の電極と前記透明電極層とにより前記複数の電極を区画するようにした固体温度素子において、前記絶縁層が前記電極に分離され、前記絶縁層の分離線および前記透明電極層に分離された絶縁層の端部を用いて閉鎖地盤層を配設し、該閉鎖地盤層を覆って透明電極層を配設し、該透明電極層上の前記閉鎖地盤に光シールド用金属層を配設したことを特徴とする固体温度素子。
- 2) 特許請求の範囲第1項記載の固体温度素子において、前記絶縁層は水素化ホウ素シリコン膜であることを特徴とする固体温度素子。
- 3) 特許請求の範囲第1項または第2項記載の固体温度素子において、前記透明電極層は ITO 、 SnO_2 、 In_2O_3 、 CdO 、 CrSi であることを特徴とする固体温度素子。

1. 明細書の「2.特許請求の範囲」を明細書の通り訂正する。
2. 明細書の第10頁第13行目の「 SnO_2 、 In_2O_3 、 CdO 、 Cr-Si 」を「 SnO_2 、 In_2O_3 、 CdO 、 CrSi 」に訂正する。

以上

- (1) 特許請求の範囲第1項ないし第3項のいずれかの項に記載の固体温度素子において、前記光シールド用金属層は Al 、 Al-Si 、 Al-Si-Cu 、または Mo 、 V 、 Cr 、 Ta などの遷移金属であることを特徴とする固体温度素子。
- (5) 特許請求の範囲第2項ないし第4項のいずれかの項に記載の固体温度素子において、前記絶縁層のうち、前記透明電極層と接する側の層の厚さを 10^{-7} cm以下としたことを特徴とする固体温度素子。
- (6) 複数の電極の走査回路を設けた半導体基板上に絶縁層および透明電極層をこの順序で配設し、前記半導体基板上の複数の電極と前記透明電極層とにより前記複数の電極を区画するようにした固体温度素子を製造するに当たり、前記電極の電極を形成するための電極膜を前記半導体基板上を覆って形成する工程と、前記電極膜の上を覆って前記光導電層を形成する工程と、前記電極膜および前記光導電層を、前記電極

の面素に対応して分離させるフォトリソグラフィ工程と、

分離された前記光導電層および面素間の分離された領域を覆って絶縁絶縁層を付着させる工程と、

該絶縁絶縁層のうち前記複数の面素に対応して開口を形成するフォトリソグラフィ工程と、

前記開口のあいた絶縁絶縁層および当該開口により露出する前記光導電層を覆って透明電極層を形成する工程と、

該透明電極層のうち前記面素間領域に対応する部分の上に光シールド用の金属層を形成する工程とを具備したことを特徴とする固体撮像素子の製造方法。